

PATENT ABSTRACTS OF JAPAN

B8

(11)Publication number : 01-240985

(43)Date of publication of application : 26.09.1989

(51)Int.Cl.

G06F 15/66
G06F 15/64

(21)Application number : 63-067185

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 23.03.1988

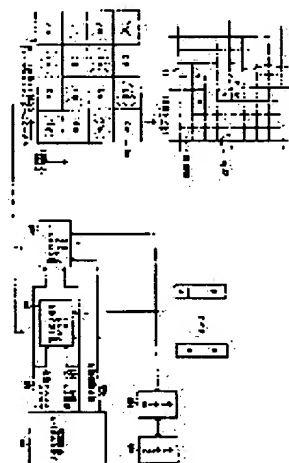
(72)Inventor : HORI TATSUHIKO

(54) IMAGE DATA PROCESSOR

(57)Abstract:

PURPOSE: To make efficient an image data processing by dividing the image data into a matrix condition, and storing obtained adjacent units into separate memory blocks.

CONSTITUTION: Firsts, the image data are divided into the matrix condition, and for the mutually adjacent units obtained in such a way, their image signals are stored into separate memory blocks 201 and 202. When the image to be read lies over the two units, the image is read from a pair of adjacent units which surely shares a side. Thus, when they are stored into the separate memory blocks 201 and 202, the image signal corresponding to the image to be read can be read at once by a single access.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-240985

⑮ Int. Cl.⁴

G 06 F 15/66
15/64

識別記号

3 5 0
4 5 0

庁内整理番号

8419-5B
F-8419-5B

⑭ 公開 平成1年(1989)9月26日

審査請求 未請求 請求項の数 1 (全16頁)

⑮ 発明の名称 イメージデータ処理装置

⑯ 特 願 昭63-67185

⑰ 出 願 昭63(1988)3月23日

⑱ 発 明 者 堀 達 彦 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

イメージデータ処理装置

2. 特許請求の範囲

イメージデータを、互いに直交するX方向とY方向に沿う直線でマトリクス状に分断し、それぞれX方向とY方向に同数の画素が配列されて成るユニットの集合体とし、

前記イメージデータを構成する全ての画素に対応する画像信号を格納するための2つのメモリブロックを用意し、

前記ユニットのうち、互いに隣接しその辺を共有するもの同志の画像信号が、それぞれ別々の前記メモリブロックに格納されるように、前記イメージデータを構成する全ての画素に対応する画像信号を2分して格納し、

前記各メモリブロックは、

前記ユニットのX方向の画素数に相当する数の、幅1ビット、深さA(Aは正の整数で、メモリのアドレス容量を示す)ビットの容量のメモリ

素子群からなり、

前記ユニット内でY方向に並んだ前記画素が、1画素分ずつ順にそのX方向にずれるように画像信号の配列変換を行ない、

この配列変換後の各ユニットの画像信号をそのY方向に分断してそれぞれ別の前記メモリ素子に格納し、

前記2つのメモリブロックから、互いに隣接しその辺を共有する2つのユニットの画像信号のうちX方向又はY方向に連続した一連の画素に対応する画像信号を読み出すために、前記各メモリブロックに対し、そのメモリブロックを構成する各メモリ素子から、前記画像信号を1つずつ読み出すためのアドレス信号と、読み出させるべきメモリ素子を選択する素子選択信号とを生成するメモリアドレス生成回路と、

前記連続した一連の画素から成るイメージを復元するように、前記各メモリ素子から同時に読み出された画像信号のX方向の配列をずらして配列変換するローテータとを備えたことを特徴とする

イメージデータ処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、2次元のイメージをビット単位で処理するイメージデータ処理装置に関する。

(従来の技術)

一般の情報処理装置において、文字データや数値データはいわゆるコードデータを用いて処理される。一方、2次元的にイメージ化されたデータは、メモリ上でビット単位で処理する必要が生じる。

第2図に、従来のイメージデータ処理装置のブロック図を示す。

この装置には、X方向に4nビット、Y方向にmビットの2次元のイメージデータを格納するイメージデータメモリ1が設けられている。通常、メモリ上のデータは、例えば4ビットあるいは8ビット構成の1ワード分のデータを単位として、その読み出しや書き込みが行なわれる。そこで、このイメージデータは、図に示すように、

X方向の幅nビットで短冊状に分断されている。

さてここで、このイメージデータメモリ1中に格納されたイメージの中で、図に示すような1連の画素からなるイメージa、b、あるいはc、dを処理する場合を考える。

この場合、例えばイメージa、bを含む幅nビットのデータを直接読み出せばよい訳である。しかしながら、データの読み出しは、図のように予め幅nビットで分断された単位でのみ行なわれる。そこで、イメージデータメモリを2つのメモリブロック21、22に分割し、イメージデータの短冊状に分断された領域を、それぞれ11、12、13、14としたとき、領域11及び領域13をメモリブロック21に格納し、領域12及び領域14をメモリブロック22に格納する。

先ず、イメージa、bの読み出しについて説明すると、メモリブロック21、22の①部分に示したように、イメージaを含むnビットのデータがメモリブロック21に格納され、イメージbを含むnビットのデータがメモリブロック22に格

納される。イメージc、dについても、それぞれ対応する領域からメモリブロック21、22に対して②のように別々にデータが格納される。

データバス選択回路3は、メモリブロック21、22から入力するnビット+nビット合計2nビットのデータのうち、プロセッサ4によって指定されたビットを合計nビット選択してこれを出力する回路である。従って、図のようにデータバス選択回路3に③に示したような画像信号が入力すると、④に示したようなイメージb、aに対応する画像信号が読み出し用ローテータ51側に出力される。又、④に示したような画像信号がデータバス選択回路3に入力すると、⑤に示したようなイメージd、cに対応する画像信号が出力される。⑤に示した画像信号は、本来読み出そうとするイメージa、bと逆の配列になっている。そこでローテータ51は、データを図の矢印5'方向に1ビットずつ順にシフトさせ、図の⑥に示したようなイメージa、bに対応する画像信号を出力する。

また、⑥に示した画像信号も同様であり、ローテータ51はデータを図の矢印5'方向に1ビットずつ順にシフトさせ、図の⑥に示したようなイメージc、dに対応する画像信号を出力する。

以上のようにして、プロセッサ4は2次元的に展開されたイメージデータから、任意の1ワード分のイメージを読み出して所定の処理を実行することができる。又、プロセッサ4がそのようなイメージに対応する画像信号をイメージデータメモリ1に書き込もうとする場合には、書き込み用ローテータ52にこれに対応する画像信号を入力し、先ほどと逆の順でイメージデータメモリ1にそのデータを格納する。

(発明が解決しようとする課題)

ところで、イメージデータの処理を行なう場合、Y方向に画像信号が並んだイメージについても同様に処理の要求がなされる。ところが、第2図に示したような従来のイメージデータ処理装置においては、処理すべきイメージがX方向に並んだ画像信号から構成されるものでなければ、そ

れを1回のアクセスで読み出すことができない。即ち、Y方向に画像信号が並んだイメージ処理の場合には、n回イメージデータメモリをアクセスし、そのデータを90度回転すると複雑な処理を必要とした。そのような回路では、X方向に並んだ画像信号の処理に比べ、Y方向に並んだ画像信号の処理に非常に多くの時間が必要になるという難点があった。

そこで、X方向もY方向も同様に高速にイメージデータの処理ができるよう、本発明者により第3図に示すような装置が開発された(特願昭61-183484号)。

第3図には、簡単化のために4×4ビット構成の2次元のイメージデータを格納するイメージデータメモリ1を示した。

このイメージデータメモリ1には、図に示したように、番号0～15を付した画像信号が格納されている。この図のX方向Y方向は、イメージのX方向Y方向をそのまま表わしているものとし、この画像信号の通りに各画素が配列されているも

のとする。

プロセッサ4は、このイメージの中からX方向に並んだ4つの画素、あるいはY方向に並んだ4つの画素を、1ワードとして読み出し処理するものとする。

この読み出し処理のために、先ず、バッファメモリ53、54、55、56を用意する。これらのバッファメモリ53～56は、いずれも幅1ビット、深さ4ビットのアドレス容量のメモリ素子である。即ち、各バッファメモリ53～56は、いずれも1ビットずつ画像信号の書き込みあるいは読み出しを行ない、全部で4ビットの画像信号をそのアドレス順に格納することができ、その書き込みあるいは読み出しは、アドレス生成回路50から出力されるアドレス信号によって制御される。

又、バッファメモリ53～56には、イメージデータメモリ1からその画像信号が矢印のように入力するが、実際にはその図に示すように、予め、イメージデータメモリ1にX方向に同一列上

に並んだ画素が、1画素分ずつ順にそのX方向にずれるように画像信号が配列転換されている。

即ち、イメージデータメモリ1に0、1、2、3という順に配列された画像信号は、バッファメモリ53～56にその順番、即ち0、1、2、3というように格納されるが、イメージデータメモリ1に4、5、6、7という順に格納されていた画像信号は、バッファメモリ53～56に、7、4、5、6という順に、1ビットだけ右側にずれるように配列転換されて格納されている。次の画像信号8、9、10、11については、更にもう1ビットずれ、最後の画像信号12、13、14、15については、3ビットずれた形でバッファメモリ53～56に格納されている。

アドレス発生回路50が、各バッファメモリ53～56にアドレス信号を出力し、各バッファメモリ53～56から画像信号が読み出されると、図の①～④のような信号が読み出される。

図の①は、バッファメモリ53～56から、そのまま画像信号0、1、2、3が読み出された場

合を示す。

図の②は、バッファメモリ53～56から画像信号7、4、5、6が読み出された場合を示すが、これは、実際にイメージデータメモリ1に格納されていた状態と比べると、X方向に1ビットずれているため、図の矢印に示すように1ビットローテートさせた上でプロセッサ4が取り込む。この処理は第2図に示したようなローテータによって行なう。

図の③は、Y方向に並んだ画素に対応する画像信号を読み出した場合を示す。アドレス生成回路50が、バッファメモリ53～56に所定のアドレス信号を入力することによって、画像信号0、4、8、12がそのまま読み出される。

図の④は、Y方向に並んだ画素に対応する画像信号であって、Y方向に2ビットシフトした画像信号、0、14、2、6が読み出された場合の例を示す。この場合には、読み出された画像信号は2ビットローテートされた上でプロセッサ4に読み出される。

以上説明したように、イメージデータメモリ1から、幅1ビットの複数のバッファメモリに画像信号を所定の順で読み出すと、X方向にもY方向にも高速で所定の幅の画像信号を読み出すことができる。しかしながら、この構成では、イメージデータメモリ1が大容量のものである場合、極めて多数のバッファメモリを必要とし、そのままでは処理が複雑化するという問題がある。

本発明は以上の点に着目してなされたもので、X方向にもY方向にも高速でデータの読み出しを行ない、大容量のイメージデータメモリを用いて自由に効率的にイメージデータ処理を実行することができるイメージデータ処理装置を提供することを目的とするものである。

(課題を解決するための手段)

本発明のイメージデータ処理装置は、イメージデータを、互いに直交するX方向とY方向に沿う直線でマトリクス状に分断し、それぞれX方向とY方向に同数の画素が配列されて成るユニットの集合体とし、前記イメージデータを構成する全

の画素に対応する画像信号を格納するための2つのメモリブロックを用意し、前記ユニットのうち、互いに隣接しその辺を共有するもの同志の画像信号が、それぞれ別々の前記メモリブロックに格納されるように、前記イメージデータを構成する全ての画素に対応する画像信号を2分して格納し、前記各メモリブロックは、前記ユニットのX方向の画素数に相当する数の、幅1ビット、深さA(Aは正の整数で、メモリのアドレス容量を示す)ビットの容量のメモリ素子群からなり、前記ユニット内でY方向に並んだ前記画素が、1画素分ずつ順にそのX方向にずれるように画像信号の配列変換を行ない、この配列変換後の各ユニットの画像信号をそのY方向に分断してそれぞれ別の前記メモリ素子に格納し、前記2つのメモリブロックから、互いに隣接しその辺を共有する2つのユニットの画像信号のうちX方向又はY方向に連続した一連の画素に対応する画像信号を読み出すために、前記各メモリブロックに対し、そのメモリブロックを構成する各メモリ素子から、前記

画像信号を1つずつ読み出すためのアドレス信号と、読み出させるべきメモリ素子を選択する素子選択信号とを生成するメモリアドレス生成回路と、前記連続した一連の画素から成るイメージを復元するように、前記各メモリ素子から同時に読み出された画像信号のX方向の配列をずらして配列変換するローテータとを備えたことを特徴とするものである。

(作用)

本発明の装置は、イメージデータを先ずマトリクス状に分断し、こうして得られた各ユニットのうち互いに隣り合うユニットについては、別々のメモリブロックにその画像信号を格納する。

読み出そうとするイメージが2つのユニット間にまたがるような場合、そのイメージは必ず辺を共有する隣接した一対のユニットから読み出されることになる。従って、これらを別々のメモリブロックに格納しておけば、読み出そうとするイメージに対応する画像信号を1回のアクセスで一挙に読み出すことができる。

又、各メモリブロックは、幅1ビット、深さAビットの容量のメモリ素子群からなり、X方向に並んだ画素に対応する画像信号も、Y方向に並んだ画素に対応する画像信号も、一時に取り出されるよう画像信号の格納順が工夫されている。メモリアドレス生成回路が、これらのメモリ素子に所定のアドレス信号を生成して供給すれば、所望のイメージに対応する画像信号を、X方向にもY方向にも任意の場所から読み出すことができる。読み出された信号は、メモリ素子においてそれぞれ所定方向にずらして格納されているため、ローテータによりその配列変換を行なって取り出される。

(実施例)

以下、本発明を図面によって詳細に説明する。

第1図は、本発明のイメージデータ処理装置の実施例を示すブロック図である。

この装置は、イメージデータ100を2分して格納する第1のメモリブロック201と第2のメモリブロック202とを備えている。そして、これらの

メモリブロック201,202 から読み出された画像信号はローデータ300に入力し、その後プロセッサ400に読み出される構成とされている。又、第1のメモリブロック201及び第2のメモリブロック202に対してアドレス信号を供給するために、メモリアドレス生成回路500が設けられている。

さて図のように、イメージデータ100は、X方向とY方向に沿う直線で、それぞれ例えば4分割されマトリクス状に分断される。これにより、イメージデータは 4×4 、即ち合計16個のユニット101の集合体とされる。そして、各ユニット101は、それぞれX方向に4ビット、Y方向に4ビットの合計16ビットの画素102から構成されているものとする。

尚、イメージデータ100を分断する場合には、X方向とY方向の分断数は任意でよいが、ユニット101を構成する画素は、信号処理上、X方向とY方向に同数配列されていることを要する。

第1のメモリブロック201及び第2のメモリブロック202は、図のイメージデータ100を構成す

る全ての画素を2分して格納することができる容量を持っている。尚、この場合、第1のメモリブロック201には、図のイメージデータ100のうち符合を#1と付したユニットの画像信号が格納される。そして、第2のメモリブロック202には、符合を#2と付したユニットの画像信号が格納される。即ち、第1のメモリブロック201と第2のメモリブロック202には、互いに隣接しその辺103を共有するユニットが別々に格納されるようその格納場所が選択されている。尚、辺103とは、図中ユニット101の拡大図に示した各ユニットの境界のことである。

又、プロセッサ400は、この装置から1ワード(幅4ビット)のデータを読み出して処理するものとする。従って、図中、ユニット101の拡大部分に示したように、例えばX方向に連続した4ビットの画素から成るイメージa、bや、Y方向に連続した4ビットの画素から成るイメージc、dの読み出しを行なうことになる。尚、全て1つのユニットに含まれたイメージeを読み出す

ような場合もある。

第1図の各ブロックのより詳細な結線図を第4図に示す。

図において、先ず、第1のメモリブロック201は、4つのメモリ素子M13、M12、M11、M10から構成されている。又、第2のメモリブロック202は、同様に4つのメモリ素子M23、M22、M21、M20から構成されている。即ち、いずれのメモリブロックにも、第1図に示したイメージデータ100の1つのユニット101のX方向の画素数に相当する数の4個のメモリ素子が設けられている。そして、各メモリ素子は、幅1ビット、深さ32ビットのアドレス容量のメモリ素子群から構成される。

即ち、イメージデータメモリ110中のイメージデータが、第1図に示した例と同様に 4×4 個のユニットから構成されており、一方のメモリブロックには 4×2 個のユニット分の画像信号が格納され、各メモリブロックに4個ずつのメモリ素子が設けられていることから、1個のメモリ素子

には2ユニット分の画像信号が格納されなければならない。このことから、1個のメモリ素子には $4 \times 4 \times 2$ 、即ち32ビットの画像信号が格納されることになる。

一方、メモリアドレス生成回路500には、読み出しあるいは書き込みを行なうイメージの配列方向を示すデータを格納するX/Y方向レジスタ510と、イメージの始点のX座標を示すデータを格納するX座標レジスタ520と、Y座標を示すデータを格納するY座標レジスタ530とが設けられている。そして、これらの信号に基づき、第1のメモリブロック201及び第2のメモリブロック202の各メモリ素子にアドレス信号を出力するために、ユニットアドレス発生部540と、画素アドレス発生部550と、素子選択部560とが設けられている。

ユニットアドレス発生部540には、X/Y方向レジスタ510から出力されるX/Y方向信号511と、X座標レジスタ520から出力されるX座標(X₀, X₁, X₂, X₃)の上位2ビット

X₂, X₁と、Y座標レジスタ530から出力されるY座標(Y₂, Y₁, Y₀)の上位2ビットY₂, Y₁とが入力する。画素アドレス発生部550には、X/Y方向レジスタ510から出力されるX/Y方向信号511の他、X座標レジスタ520から出力されるX座標(X₂, X₁, X₀)の下位2ビットX₁, X₀、及びY座標レジスタ530から出力されるY座標(Y₂, Y₁, Y₀)のうち下位2ビットY₁, Y₀が入力する。

又、素子選択部560には、X座標レジスタ520及びY座標レジスタ530の出力がそのまま入力する。そして、ユニットアドレス発生部540からは、第1のメモリブロック201及び第2のメモリブロック202における各メモリ素子に格納された画像信号のうち、どのユニットに含まれるものを読み出すかを指定する各3ビット構成のユニットアドレス501が2組出力される。又、画像アドレス発生部550からは、ユニットアドレス501で指定されたユニットの、何番目の画素に対応する画

像信号を読み出すかを指定する各2ビット構成の画素アドレス502が4組出力される。素子選択部560からは、4本4ビット構成のデータバス301に対し、2つずつ接続されているメモリ素子のうちいずれのメモリ素子を接続するか、それを選択する1ビット構成の選択信号503が8組出力される。

従って、第1のメモリブロック201及び第2のメモリブロック202の各メモリ素子には、ユニットアドレス501と画素アドレス502と素子選択信号503がそれぞれ入力し、読み出された1ビットの信号が、データバス301を通じてローテータ300に向けて出力されるよう結線されている。

ローテータ300は、データバス301に接続された読み出し部310と書き込み部320と、これらにローテータ量を指示するローテータ量生成部330とから構成されている。

読み出し部310は、先に第3図で示したような、1ビットローテータから3ビットローテータまで適宜画像信号をずらして出力側に出力する回

路である。プロセッサ400は、ローテータ後の画像信号を4ビット構成のデータバス302を介して読み取り、又、そのデータバス302を介してローテータ部の書き込み部320に向けて、イメージデータメモリ110に書き込むべきデータを出力する。ローテータ量生成部330は、メモリアドレス生成回路500のX座標レジスタ520から出力されるX座標(X₂, X₁, X₀)の下位2ビットX₁, X₀、及びY座標レジスタ530から出力されるY座標(Y₂, Y₁, Y₀)の下位2ビットY₁, Y₀を受け入れて、取り扱われるデータに応じたローテータ量を演算し、読み出し部310及び書き込み部320のローテータ量を制御する回路である。

次に、イメージデータメモリ110に格納された画像信号と、第1のメモリブロック201及び第2のメモリブロック202に格納された画像信号との関係を詳細に述べる。

第5図は、メモリブロックの構成と格納される画像信号を具体的に示した説明図である。

図において、イメージデータメモリ110には、X方向に16ビットY方向に16ビット構成の画像信号が格納されており、各画像信号には0~255まで番号が付してある。

又、図の右方に示すように、第1のメモリブロック201を構成する各メモリ素子M13, M12, M11, M10は、それぞれ幅1ビット深さ32ビットの容量を持ち、それぞれ5ビットのアドレスによってそのデータの読み書きが行なわれる。そのうち、上位3ビットがユニットアドレス、下位2ビットが画素アドレスとなる。

即ち、例えばイメージデータメモリ110の左上隅にある4×4ビット構成のユニットに着目してみると、このユニットには0, 1, 2, 3, 16, 17, 18, 19, 32, 33, 34, 35, 48, 49, 50, 51の画像信号が格納されている。これらの画像信号は、第1のメモリブロックのメモリ素子M13, M12, M11, M10の00000~00011までのアドレスに格納されている。

この格納方法は次の通りである。

即ち、予めこのユニット内でX方向に同一列上に並んだ画素が、1画素分ずつ順にそのX方向にずれるように画像信号の配列変換が行なわれる。これは、ちょうど第3図で既に説明したバッファメモリ53～56に画像信号を格納したケースと同様の要領で行なわれる。配列変換後の画像信号が、それぞれY方向に分断され、別々のメモリ素子に格納されている点も、第3図に示したものと同様である。尚、このユニットと隣接する右側あるいは下側のユニットの画像信号は、第5図に示すように、第2のメモリブロック202に格納されている。その格納方法は同様である。

次に、第4図に示したユニットアドレス発生部540の動作の説明をする。

第6図は、ユニットアドレス発生部の具体的な結線図である。

このユニットアドレス発生部540は、X/Y方向レジスタ510と、X座標レジスタ520と、Y座標レジスタ530の出力を受け入れるアドレス変換

器541と、このアドレス変換器541の出力及びX座標とY座標のうちの一部のビット、 Y_0 、 X_0 、 Y_1 を受け入れる加算器542及び加算器543とから構成されている。

アドレス変換器541は、後で第8図に示すような要領で、各レジスタ510、520、530から入力する信号に対応する4ビットの出力信号 Q_1 、 Q_2 、 Q_3 、 Q_4 を得る回路である。又、加算器542は、X座標レジスタ520から出力されるX座標、 X_0 、 X_1 、 X_2 、 X_3 のうちの最上位ビット X_0 と、Y座標レジスタ530から出力されるY座標、 Y_0 、 Y_1 、 Y_2 、 Y_3 のうちの上位2ビット Y_0 、 Y_1 を受け入れて、アドレス変換器541から出力される信号 Q_3 、 Q_4 に所定の値を加算して、第1のメモリブロックに対するユニットアドレスを出力する回路である。加算器543は、加算器542と同様にX座標レジスタ520及びY座標レジスタ530からの信号を受け入れ、かつ、アドレス変換器541の出力信号 Q_1 、 Q_2 を受け入れて所定の演算を行ない、第2のメモリブロックに

対するユニットアドレスを出力する回路である。

この回路の動作を、第7図及び第8図を用いて詳細に説明する。

第7図は、ユニットアドレスを選択するための原理の説明図である。

図において、先に説明したように、イメージデータメモリ100は 4×4 、即ち16個のユニットから構成され、各ユニットはそれぞれ16ビットの画像信号から構成されているため、合計 $4 \times 4 \times 16$ ビットの画像信号が2分されて、第1のメモリブロック201と第2のメモリブロック202とに格納されることになる。即ち、第1のメモリブロックには $4 \times 4 \times 8$ 、即ち 4×32 ビットの画像信号が格納される。第2のメモリブロックも同様である。そして、図のように各ユニットに予めユニット番号を $\langle 0 \rangle \sim \langle 7 \rangle$ のように付しておく。この場合、第1のメモリブロック201に格納されるユニットにはハッチングを付し、第2のメモリブロック202に格納されるユニットにも隣り同志は同一の番号を付した。

こうして、いずれのメモリブロックにも上から順に $\langle 0 \rangle \sim \langle 7 \rangle$ のユニットが格納される。

ここで、イメージデータメモリ100におけるX座標とY座標は、それぞれ先に説明したように4ビット構成のデジタルデータとなるが、そのうち上から2番目のビット、即ち X_1 、 Y_1 だけに着目しても、第7図に示すように、0、1、0、1と各ユニットの位置が識別できるようになる。即ち例えば、 X_1 が0、 Y_1 が0のユニットは、左上隅のユニットと、その2つ右のユニット及びその2つ下のユニットと、更にその2つ左のユニットの計4つのユニットとなる。このような関係を利用すると、第8図のように、ユニットアドレスの作成を行なうことができる。

第8図において、先ず、その左端部分には第6図に示したアドレス変換器541の入力信号と出力信号を示した。入力信号はX/Y方向信号で、これは0の場合X方向に並んだイメージを処理し、1の場合はY方向に並んだイメージを処理することを意味する。又、 X_0 、 Y_0 は、第7図を用い

て説明した通りの内容のデータである。そして、第7図に示したアドレス変換器541は、これらの入力信号に対応してQ1、Q2、Q3、Q4というような内容のデータを出力する。又、その右側には各メモリブロック中で対となって選択されるユニットが表示されている。即ち、例えば第7図の左上隅のユニットが読み出されるべきイメージの始点を含むユニットである場合、イメージの終点側のユニットはその右隣りあるいは下隣りのものになる。アドレス変換器541の入力信号によって、この始点側のユニットと終点側のユニットが限定され、その組み合わせが第8図の表に示されている。

そして、これらの場合、第1のメモリブロックに格納されたユニットが始点側になるか、第2のメモリブロックに格納されたユニットが始点側になるかを、第8図の対関係という欄に表示している。即ち、例えば、始点側のユニットが第1のメモリブロックの<0>のユニットであるとする。この場合には、アドレス変換器541の入力信号

X_1 、 Y_1 は共に0となる。そして、 X/Y が0ならばX方向のイメージであるから、対関係になるユニットは、第1のメモリブロックの<0>と第2のメモリブロックの<0>(#1-#2)となる。従って、第1のメモリブロックのユニット番号が0と選択されると、終点側については+0、即ち同一のユニット番号0が選択され、これが第6図のユニットアドレスとしてデータアドレス発生部540から出力されるのである。

又、同一の始点で $X/Y=1$ 、即ちY方向にイメージが並んでいる場合には、対関係となるユニットは第1のメモリブロックの<0>と第2のメモリブロックの<1>(#1-#2)となる。この場合には、第1のメモリブロックのユニット番号が0と選択された場合、そのユニット番号に1を加算して終点側の第2のメモリブロックのユニットアドレスが発生されることになる。

又、始点になるユニットが第2のメモリブロックの<4>にある場合、 $X_1=1$ 、 $Y_1=0$ となる。そして $X/Y=0$ 、即ちX方向にイメージが

並んでいる場合、対関係となるユニットは、第2のメモリブロックの<4>と第1のメモリブロックの<6>(#2-#1)となる。従って、この場合には、第1のメモリブロックのユニット番号4に2を加算されて、第1のメモリブロックのユニットアドレスが発生される。

又、同一の始点で $X/Y=1$ 、即ちY方向にイメージが並んでいる場合には、対関係となるユニットは第2のメモリブロックの<4>と第1のメモリブロックの<5>(#2-#1)となる。従って、この場合には、第1のメモリブロックのユニット番号に1を加算して、第1のメモリブロックのユニットアドレスが発生させることになる。

第6図に示した加算器542、543は、以上のようにしてそれぞれのユニットアドレスを生成し、第1のメモリブロック及び第2のメモリブロックにその信号を出力する。

第9図は、第5図に示した各メモリブロック201、202の5ビットのアドレス信号のうち、下位

3ビットを発生するための回路動作の説明図で、第4図に示した画素アドレス発生部550が、この表に従って画素アドレスを発生する。

即ち、第4図に示した画素アドレス発生部550は、第9図に示すように X/Y と X_1 、 X_0 及び Y_1 、 Y_0 を受け入れて、第1のメモリブロック201及び第2のメモリブロック202に設けられたそれぞれ4つのメモリ素子に対し、表中に示したような2ビットの画素アドレス信号を出力する。このように、X方向の読み出しを行なう場合には、各素子へ同一のアドレスが供給され、Y方向の読み出しを行なう場合には、アドレスが順に1ずつ増加するようにされる。その理由は第5図を見れば明らかである。これによって、X方向あるいはY方向に、ちょうど第3図の①～④で説明したような要領で画像信号が読み出されることになる。

第10図には、このようにして読み出された画像信号が、第1図に示したローテータ300においてローテートされる場合のローテート量を示す表

である。

この表において、メモリ素子M13, M12, M11, M10, M23, M22, M21, M20は、第4図の素子選択部560によって、そのいずれか4つが選択されてデータバス301に接続される。表中の○印は、どのような場合にどのメモリ素子が選択されるかを示しており、そのうち●印はMSB(最上位ビット)にローテートすべき画像信号を指している。

即ち、例えば表中の最上段の画像信号は、M13, M12, M11, M10から読み出され、その左端にMSBとなる画像信号が位置しているため、ローテートされずそのままプロセッサ400に読み出される。次の段の画像信号は、左から2番目にMSBとなる画像信号が格納されているため、1ビットローテートして出力されることになる。又、読み出されるべきイメージによって、図のように種々の組み合わせによってメモリ素子が選択されて画像信号が読み出されている。

尚、図を見て分るように、ローテート量生成部

330に入力する X_1, X_0, Y_1, Y_0 の信号の変化に応じて、ローテート量が0, 1, 2, 3, 1, 2, 3というように変化している。しかし、読み出されるイメージの配列方向がX方向であるかY方向であるかは、そのローテート量に影響を与えない。従って、 X_1, X_0, Y_1, Y_0 の4つの信号によって、ローテート量は一意的に決定される。

尚、 $X_1 = 0, Y_1 = 0$ 又は $X_1 = 1, Y_1 = 1$ の場合に対して、 $X_0 = 1, Y_0 = 0$ 又は $X_0 = 0, Y_0 = 1$ のときには、メモリ素子M13とM23, M12とM22, M11とM21, M10とM20、をそれぞれ置換したものとなる。又、データの書き込み時はこの逆となることはいうまでもない。

最後に、本発明の装置の具体的な読み出し動作を説明すると、例えば、第5図に示したイメージデータメモリ110において、その始点の座標が(1, 5)である4ビットのイメージを読み書きするものとする。

このデータは、図のハッチングで示すように81, 82, 83, 84であって、その始点の座標を2進法で表示すれば、0001.0101となる。この場合、ユニットアドレスは、第1のメモリブロックについても第2のメモリブロックについてもそれぞれ001となり、第7図で説明したユニット<1>が両ブロックから選択される。又、画素アドレスは、全てのメモリ素子について01となる。即ち、メモリ素子のアドレスは10進法で5となる。又、このときの素子選択信号は、 $X_1 = 0, Y_1 = 1$ であるから、メモリ素子M23, M12, M21, M20が選択される。こうして出力される画像信号は、第5図を見て分るように、2ビットシフトされた形の画像信号であるから、ローテータによって2ビットずらすことによりプロセッサに読み取られる。

又、今度は、始点の座標がイメージデータメモリ110の(3, 3)であって、Y方向に4ビット並んだイメージデータを読み書きする場合を考える。この場合、始点の座標を2進法で表わすと

0011.0011となる。又、その画像信号は、51, 67, 83, 99となる。

従って、第1のメモリブロックのアドレスは<0>、第2のメモリブロックのアドレスは<1>となり、第1のメモリブロック201のメモリ素子M11のアドレス00011、及び第2のメモリブロック202のメモリ素子M23のアドレス00101、及びメモリ素子M22のアドレス00110、及びメモリ素子M20のアドレス00100から画像信号が読み出されることになる。この場合も、画像信号は2ビットシフトしているから、2ビットローテートされて読み出されることになる。

本発明のイメージデータ処理装置は以上の実施例に限定されない。

イメージデータをマトリクス状に分断する場合、その分断数あるいは分断されたユニットのビット構成は自由に選択してよい。又、そのアドレス生成やデータの配列変換等の回路についても、必要に応じて適宜同様の機能を有する回路に置き換えて差し支えない。

(発明の効果)

以上説明した本発明のイメージデータ処理装置によれば、2次元の種々のイメージデータをワード単位で読み出して、例えばこれを回転したり密度変換例えば拡大縮小をしたり、種々の演算処理を施した上で、再びイメージデータメモリに格納するという処理を、極めて高速に行なうことができる。しかもX方向に並んだイメージデータも、Y方向に並んだイメージデータも、同様のアルゴリズムで処理できるため、方向によって演算速度が違ふといった問題も無く、プロセッサの効率的な使用が可能である。

4. 図面の簡単な説明

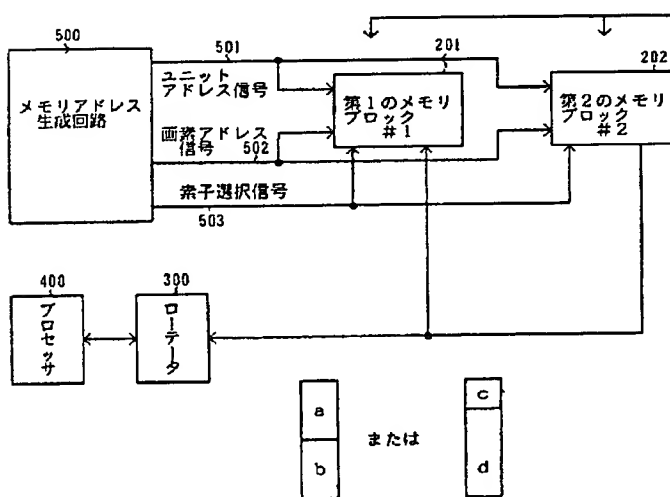
第1図は本発明のイメージデータ処理装置の実施例を示すブロック図、第2図は従来のイメージデータ処理装置のブロック図、第3図は従来の他のイメージデータ処理装置の動作説明図、第4図は本発明の装置の実施例結線図、第5図はメモリブロックの構成と格納される画像信号の説明図、第6図はユニットアドレス発生部の結線図、第7

図はユニットアドレス選択のための説明図、第8図はユニットアドレス発生部の動作説明図、第9図は画素アドレス発生部の動作説明図、第10図は画像信号とローテータ量との説明図である。

100 … イメージデータ、101 … ユニット、
102 … 画素、103 … 辺、
110 … イメージデータメモリ、
201 … 第1のメモリブロック、
202 … 第2のメモリブロック、300 … ローテータ、
400 … プロセッサ、
500 … メモリアドレス生成回路、
501 … ユニットアドレス信号、
502 … 画素アドレス信号、
503 … 素子選択信号。

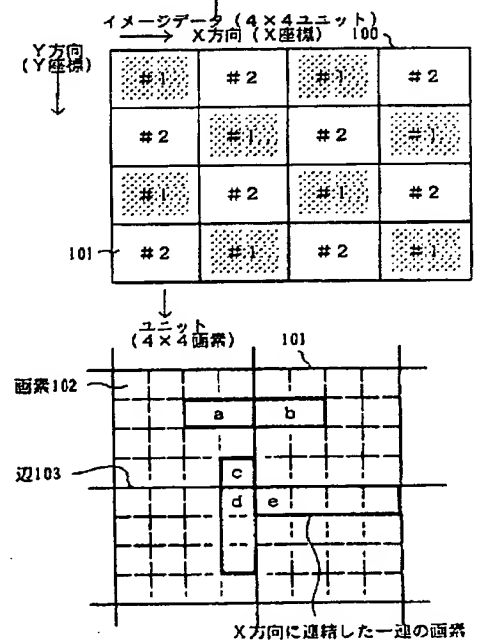
特許出願人 沖電気工業株式会社

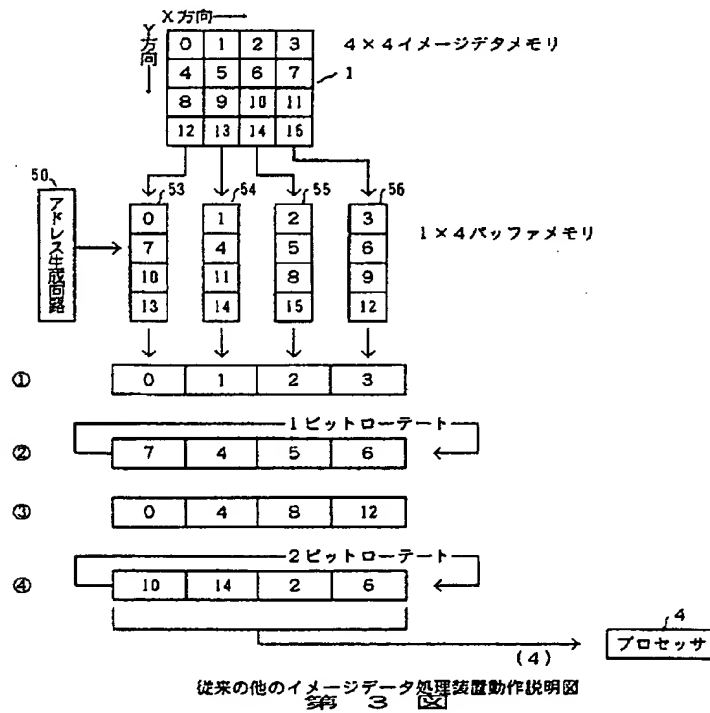
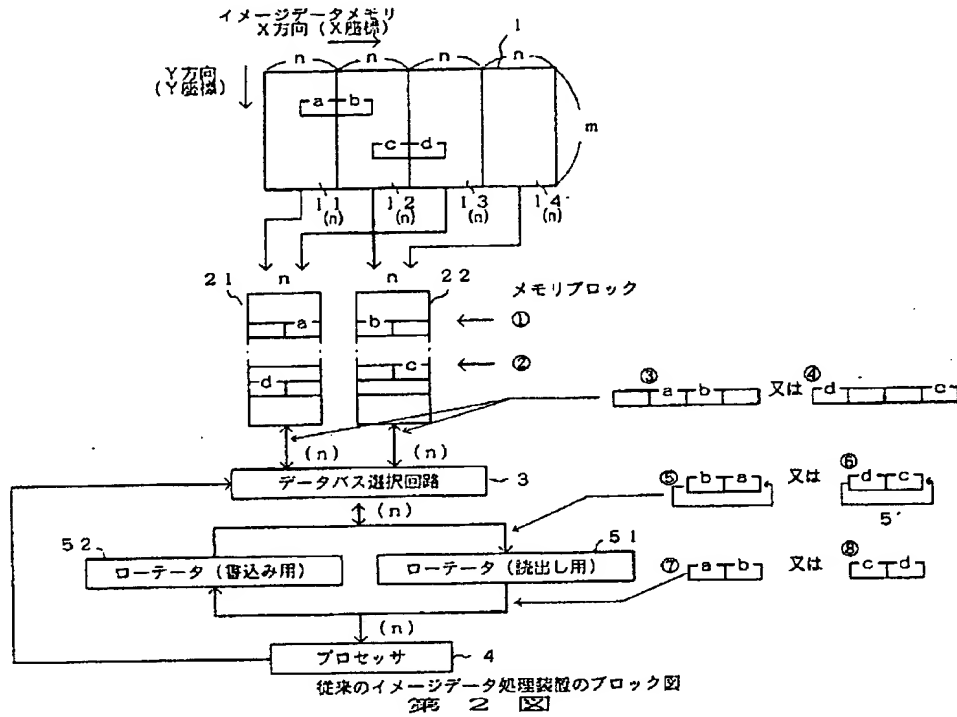
代理人 鈴木 敏 明

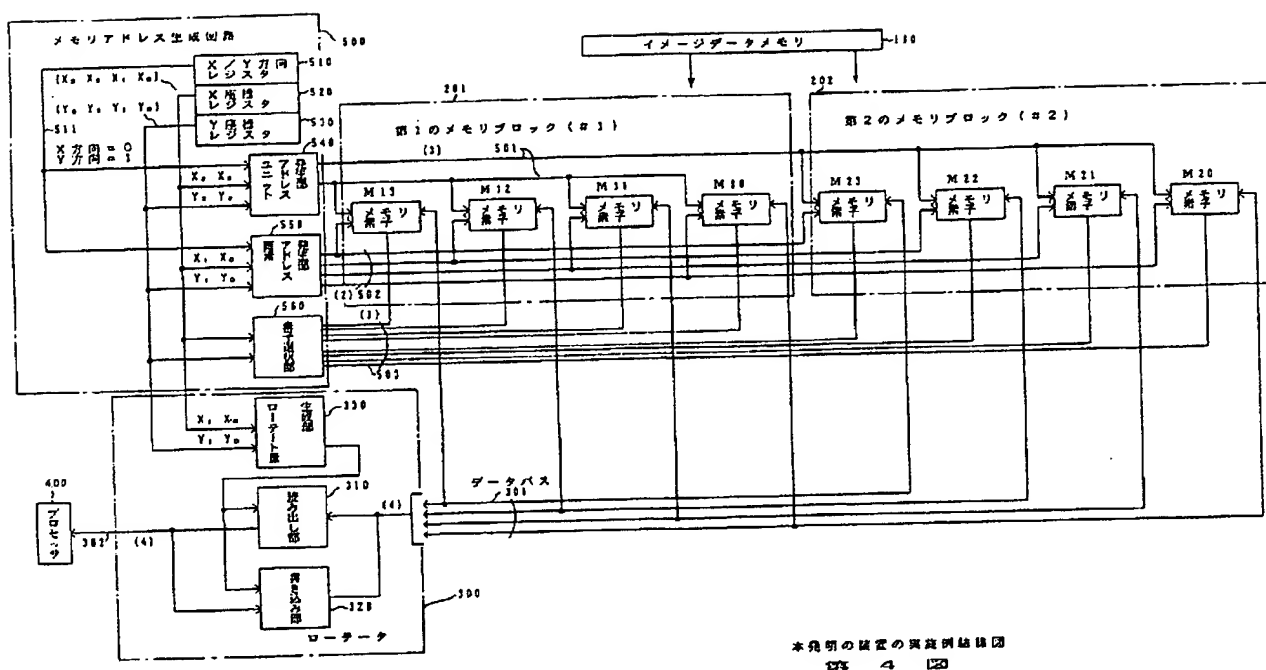


本発明のイメージデータ処理装置の実施例ブロック図

FIG. 1







イメージデータメモリ
X方向 (X座標)

Y方向 (Y座標)

110

15

	0	1	2	3	4	5	6	7	~	15
0	0	1	2	3	4	5	6	7	~	31
1	16	17	18	19	20	21	22	23	~	47
2	32	33	34	35	36	37	38	39	~	47
3	48	49	50	51	52	53	54	55	~	83
4	64	65	66	67	68	69	70	71	~	79
5	80	81	82	83	84	85	86	87	~	95
6	96	97	98	99	100	101	102	103	~	111
7	112	113	114	115	116	117	118	119	~	127
15	{	{	{	{	{	{	{	{		{
	240	241	242	243	244	245	246	247	~	255

第1のメモリブロック # 1

アドレス

ユニバス

M13

M12

M11

M10

ユニバス	アドレス	M13	M12	M11	M10
000	00	0	1	2	3
000	01	19	16	17	18
000	10	34	35	32	33
000	11	49	50	51	48
001	00	68	69	70	71
001	01	87	84	85	86
001	10	102	103	100	101
001	11	117	118	119	116
		{	{	{	{
111	11	253	254	255	252

第2のメモリブロック # 1

M23

M22

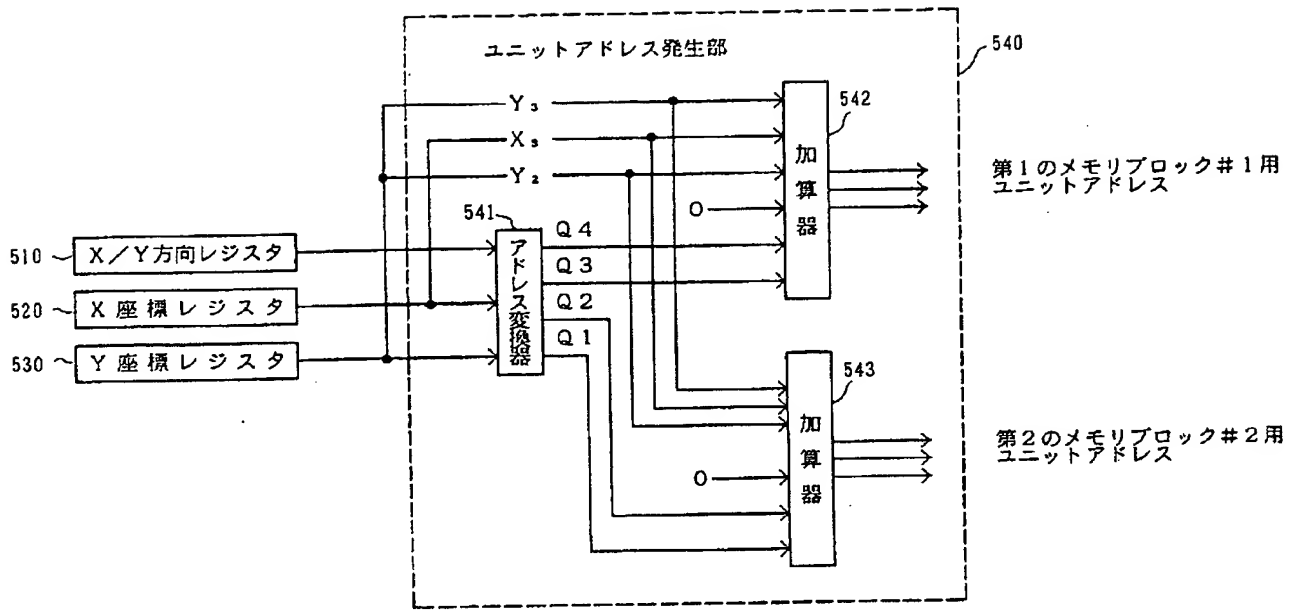
M21

M20

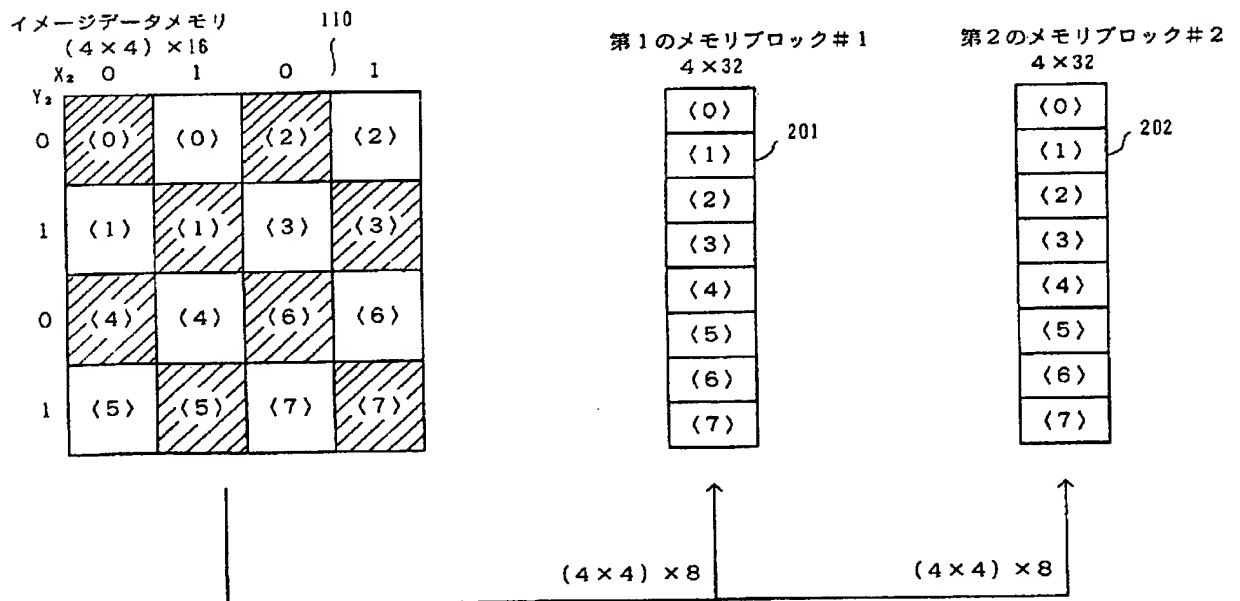
ユニバス	アドレス	M23	M22	M21	M20
000	00	4	5	6	7
000	01	23	20	21	22
000	10	38	39	36	37
000	11	53	54	55	52
001	00	64	65	66	67
001	01	83	80	81	82
001	10	98	99	96	97
001	11	113	114	115	112
		{	{	{	{
111	11	249	250	251	248

メモリブロックの構成と格納される画像信号

図 5



ユニットアドレス発生部の結線図
第 6 図



ユニットアドレス選択の説明図
第 7 図

アドレス変換器							メモリブロック中で対となって選択されるユニット	加算器の演算			
入力			出力								
X/Y	X ₂	Y ₂	Q4	Q3	Q2	Q1	始点側のユニット	終点側のユニット	対関係	終点側	
0	0	0	0	0	0	0	〈0〉〈2〉〈4〉〈6〉	〈0〉〈2〉〈4〉〈6〉	#1-#2	+0	
0	0	1	0	0	0	0	〈1〉〈3〉〈5〉〈7〉	〈1〉〈3〉〈5〉〈7〉	#2-#1	+0	
0	1	0	1	0	0	0	〈0〉〈2〉〈4〉〈6〉	〈2〉〈 〉〈6〉〈 〉	#2-#1	+2	
0	1	1	0	0	1	0	〈1〉〈3〉〈5〉〈7〉	〈3〉〈 〉〈7〉〈 〉	#1-#2	+2	
1	0	0	0	0	0	1	〈0〉〈2〉〈4〉〈6〉	〈1〉〈3〉〈5〉〈7〉	#1-#2	+1	
1	0	1	1	1	0	0	〈1〉〈3〉〈5〉〈7〉	〈4〉〈6〉〈 〉〈 〉	#2-#1	+3	
1	1	0	0	1	0	0	〈0〉〈2〉〈4〉〈6〉	〈1〉〈3〉〈5〉〈7〉	#2-#1	+1	
1	1	1	0	0	1	1	〈1〉〈3〉〈5〉〈7〉	〈4〉〈6〉〈 〉〈 〉	#1-#2	+3	

ユニットアドレス発生部の動作説明図

第 8 図

入 力			出 力			
X/Y	X ₁ X ₀	Y ₁ Y ₀	メモリ素子 M13とM23へ	メモリ素子 M12とM22へ	メモリ素子 M11とM21へ	メモリ素子 M10とM20へ
0 (X方向)	-	0 0	0 0	0 0	0 0	0 0
	-	0 1	0 1	0 1	0 1	0 1
	-	1 0	1 0	1 0	1 0	1 0
	-	1 1	1 1	1 1	1 1	1 1
1 (Y方向)	0 0	-	0 0	0 1	1 0	1 1
	0 1	-	1 1	0 0	0 1	1 0
	1 0	-	1 0	1 1	0 0	0 1
	1 1	-	0 1	1 0	1 1	0 0

画素アドレス発生部の動作

第 9 図

入		出												ローテート量
X_2, Y_2	X/Y	X_1	X_0	Y_1	Y_0	M13	M12	M11	M10	M23	M22	M21	M20	
$X_2 = 0$ $Y_2 = 0$ または $X_2 = 1$ $Y_2 = 1$	$\begin{smallmatrix} 0 \\ (X方向) \end{smallmatrix}$	0	0	0	0	●	○	○	○					0
		0	0	0	1	○	●	○	○					1
		0	0	1	0	○	○	●	○					2
		0	0	1	1	○	○	○	●					3
		0	1	0	0		●	○	○	○				1
		0	1	0	1	○		●	○		○			2
		0	1	1	0	○	○		●			○		3
		0	1	1	1	●	○	○					○	0
		1	0	0	0			●	○	○	○			2
		1	0	0	1	○			●		○	○		3
		1	0	1	0	●	○					○	○	0
		1	0	1	1		●	○		○			○	1
		1	1	0	0				●	○	○	○		3
		1	1	0	1	●					○	○	○	0
		1	1	1	0		●			○		○	○	1
		1	1	1	1			●		○	○		○	2

画信号とローテート量の説明図
 第 1 〇 区 (その1)

入		出												ローテート量
X_2, Y_2	X/Y	X_1	X_0	Y_1	Y_0	M13	M12	M11	M10	M23	M22	M21	M20	
$X_2 = 0$ $Y_2 = 0$ または $X_2 = 1$ $Y_2 = 1$	$\begin{smallmatrix} 1 \\ (Y方向) \end{smallmatrix}$	0	0	0	0	●	○	○	○					0
		0	1	0	0	○	●	○	○					1
		1	0	0	0	○	○	●	○					2
		1	1	0	0	○	○	○	●					3
		0	0	0	1		●	○	○	○				1
		0	1	0	1	○		●	○		○			2
		1	0	0	1	○	○		●			○		3
		1	1	0	1	●	○	○					○	0
		0	0	1	0			●	○	○	○			2
		0	1	1	0	○			●		○	○		3
		1	0	1	0	●	○					○	○	0
		1	1	1	0		●	○		○			○	1
		0	0	1	1				●	○	○	○		3
		0	1	1	1	●					○	○	○	0
		1	0	1	1		●			○		○	○	1
		1	1	1	1			●		○	○		○	2

画信号とローテート量の説明図
 第 1 〇 区 (その2)

入 力						出 力								ローテート量
X_2, Y_2	X/Y	X_1	X_0	Y_1	Y_0	M13	M12	M11	M10	M23	M22	M21	M20	
$X_2 = 1$ $Y_2 = 0$ または $X_2 = 0$ $Y_2 = 1$	0 (X方向)	0	0	0	0					●	○	○	○	0
		0	0	0	1					○	●	○	○	1
		0	0	1	0					○	○	●	○	2
		0	0	1	1					○	○	○	●	3
		0	1	0	0	○					●	○	○	1
		0	1	0	1		○			○		●	○	2
		0	1	1	0			○		○	○		●	3
		0	1	1	1				○	●	○	○		0
		1	0	0	0	○	○					●	○	2
		1	0	0	1		○	○		○			●	3
		1	0	1	0			○	○	●	○			0
		1	0	1	1	○			○		●	○		1
		1	1	0	0	○	○	○					●	3
		1	1	0	1		○	○	○	●				0
		1	1	1	0	○		○	○		●			1
		1	1	1	1	○	○		○			●		2

画信号とローテート量の説明図
 第 1 〇 図 (その3)

入 力						出 力								ローテート量
X_2, Y_2	X/Y	X_1	X_0	Y_1	Y_0	M13	M12	M11	M10	M23	M22	M21	M20	
$X_2 = 1$ $Y_2 = 0$ または $X_2 = 0$ $Y_2 = 1$	1 (Y方向)	0	0	0	0					●	○	○	○	0
		0	1	0	0					○	●	○	○	1
		1	0	0	0					○	○	●	○	2
		1	1	0	0					○	○	○	●	3
		0	0	0	1	○					●	○	○	1
		0	1	0	1		○			○		●	○	2
		1	0	0	1			○		○	○		●	3
		1	1	0	1				○	●	○	○		0
		0	0	1	0	○	○					●	○	2
		0	1	1	0		○	○		○			●	3
		1	0	1	0			○	○	●	○			0
		1	1	1	0	○			○		●	○		1
		0	0	1	1	○	○	○					●	3
		0	1	1	1		○	○	○	●				0
		1	0	1	1	○		○	○		●			1
		1	1	1	1	○	○		○			●		2

画信号とローテート量の説明図
 第 1 〇 図 (その4)